

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-321789

(43)Date of publication of application : 27.12.1989

(51)Int.Cl.

H04N 7/01  
H04N 7/137

(21)Application number : 63-154980

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.06.1988

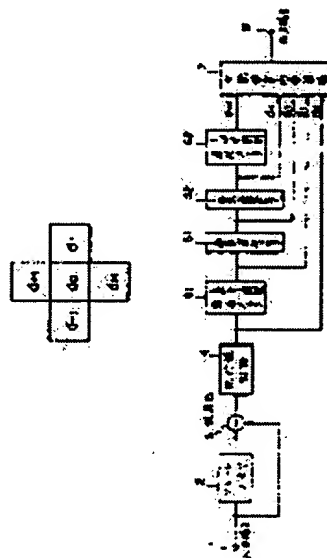
(72)Inventor : OMOTANI YOSHIRO  
SATO TOSHICHIKA

## (54) DYNAMIC LEVEL DECIDING CIRCUIT

### (57)Abstract:

**PURPOSE:** To accurately decide a dynamic level even when a noise, etc., exist in a picture signal by obtaining the difference in the picture signal with a frame memory and a subtracter, making the absolute value of the difference into dynamic quantity, and making either the center value or the average value of the absolute value into a dynamic level deciding signal.

**CONSTITUTION:** The picture signal is delayed for one frame by a frame memory 2, and the difference between the picture signal at a current point and that delayed for one frame is obtained by a subtracter 3. Further, the absolute value of difference amplitude is obtained by an absolute value circuit 4 and made into the dynamic quantity of a picture. The output of the absolute value circuit 4 is successively outputted to a delay memory group composed of delay memories 61, 51, 52 and 62, and the outputs of the respective delay memories are inputted to a center value circuit 7. The center value circuit 7 obtains the center values of respective input signals and makes the center values into the dynamic quantity of the picture for a signal d0 at the current point as a center picture element. Consequently, the possibility of receiving the influence of a spike shaped noise, etc., becomes small, and the dynamic level decision which hardly receives the influence of the noise, etc., can be attained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-321789

⑤ Int.Cl.<sup>4</sup>

H 04 N 7/01  
7/137

識別記号

庁内整理番号

G-7734-5C  
Z-6957-5C

⑬ 公開 平成1年(1989)12月27日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 動きレベル判定回路

⑯ 特 願 昭63-154980

⑰ 出 願 昭63(1988)6月24日

⑱ 発 明 者 重 谷 好 郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 佐 藤 寿 親 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
㉑ 代 理 人 弁理士 星 野 恒 司

明 細 書

1. 発明の名称 動きレベル判定回路

2. 特許請求の範囲

画像信号を入力し、上記画像信号を1フレーム遅延するフレームメモリと、上記画像信号と上記フレームメモリの出力の差分を出力する減算器と、上記減算器の出力の絶対値を出力とする絶対値回路と、上記絶対値回路の出力を遅延する遅延メモリ群と、遅延メモリ群からのそれぞれの出力を入力した中間値または平均値を出力する回路とを備えたことを特徴とする動きレベル判定回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、画像の動き検出回路等に用いられる動き量を検出する動きレベル判定回路に関する。

(従来の技術)

近年、テレビジョン受像機の大型化に伴い、画質向上技術が多く導入されている。走査変換回路はインターレース信号をノンインターレース信号に

変換し画質向上を図るものであるが、そのノンインターレース信号に変換するための補間信号は画像信号の動きに伴う動き適応処理によって生成される。この動き適応処理によりノンインターレース変換に伴う二重像妨害等を抑制し高画質を実現している。

しかし動き適応処理を制御する動き量のレベル信号に誤動作が生じた場合、すなわち静止画像を動画像、動画像を静止画像と判断した場合は希望する画質改善は得られない。

第3図は従来の動きレベル判定回路の構成を示している。第3図において、1は画像信号を入力する入力端子、2はフレームメモリ、3は減算器、4は絶対値回路、9は動きレベル信号を出力する出力端子である。

次に上記従来例の動作について説明する。入力端子1に入力された画像信号は、フレームメモリ2により1フレーム分遅延され、減算器3により現時点の信号と1フレーム遅れた信号との差分がとられる。画像が静止している場合はこの差分が

零となり、画像が動いている場合には差分が有値となる。また絶対値回路4で差分振幅の絶対値をとることにより画像の動き量とし、出力端子9より動きレベル信号を得ている。上記動作により動きレベルを判定している。

#### (発明が解決しようとする課題)

しかしながら、上記従来の動きレベル判定回路の構成では、例えば入力画像信号にスパイク状のノイズ成分等がある場合、静止画であるにもかかわらずノイズ成分により動画と判定してしまうため所望の特性が得られない。

本発明は上記従来の問題を解決し、入力信号にノイズ成分等がある場合も動きレベルを誤りなく判定する動きレベル判定回路を提供することを目的とするものである。

#### (課題を解決するための手段)

本発明は上記目的を達成するために、動きレベル判定回路は画像信号を入力し、上記画像信号を1フレーム遅延させるフレームメモリと、上記画像信号と上記フレームメモリの出力との差分を出

62は1水平期間遅延する1水平期間遅延メモリであり、上記1画素遅延メモリ51、52と1水平期間遅延メモリ61、62で遅延メモリ群を構成している。7は絶対値回路4及び遅延メモリ51、52、62、62の出力を入力し、その中間値または平均値を出力する中間値または平均値回路である。

次に上記実施例の動作について説明する。入力端子1に入力された画像信号は、フレームメモリ2により1フレーム分遅延され、減算器3により現時点の信号と1フレーム分遅れた信号との差分がとられる。画像が静止している場合はこの差分が零となり、画像が動いている場合には差分が有値となる。また絶対値回路4により差分振幅の絶対値をとることにより画像の動き量としている。絶対値回路4の出力は遅延メモリ群81、51、52、62へと順次出力され、それぞれの遅延メモリの出力は中間値回路7へ入力される。第2図は中間値回路7へ入力されるそれぞれの画面上での画素の位置関係を示したものであり、現時点の信号d。を中心として1水平期間前の信号dHと1水平期

間後の信号d-IIおよび1画素期間前の信号d、と1画素期間後の信号d-Iが中間値回路7へ入力されている。中間値回路7はそれぞれ入力信号の中間値をとり、中心画素である現時点の信号d。に対する画像の動き量として、出力端子9より動きレベル信号を得ている。ここで中間値とは、例えば5入力の信号の値がa、b、c、d、eであり、値の大きさが $a > b > c > d > e$ であるとき中間のレベルであるcを中間値とすることである。一般に画像信号はある画像の1画素を注目した場合、その近傍の画素との相関が強いため、例えばスパイク状のノイズ等が混入した場合でも、近傍の画素について中間値を求めることによりノイズの影響を減じることができる。すなわち本実施例では何画素かの動き量を中間値回路7により中間値を求めているため、スパイク状のノイズ等の影響が受けにくくなり、ノイズ等の影響が受けにくい動きレベル判定が可能となる。

#### (作用)

したがって、本発明によればフレームメモリ及び減算器により画像信号の差分をとり、画像信号の差分の絶対値を画像の1画素の動き量とし、遅延メモリ群により中心画素及び中心画素近傍の画素の動き量の中間値または平均値を動きレベル判定信号としているため、スパイク状のノイズ等が画像信号に混入した場合でも正しく動きレベルを判定可能としている。

#### (実施例)

第1図は本発明の一実施例における動きレベル判定回路のブロック構成を示すものである。第1図において、1は画像信号の入力端子、2はフレームメモリ、3は減算器、4は絶対値回路、51、52は1画素期間遅延する1画素遅延メモリ、61、

62は1水平期間遅延する1水平期間遅延メモリであり、上記1画素遅延メモリ51、52と1水平期間遅延メモリ61、62で遅延メモリ群を構成している。7は絶対値回路4及び遅延メモリ51、52、62、62の出力を入力し、その中間値または平均値を出力する中間値または平均値回路である。

上記の動作は遅延メモリ61、51、52、62の出力を中間値回路7に入力した場合について説明した

が、遅延メモリ61、51、52、62の出力を平均値回路7に入力した場合と同様スパイク状のノイズ等の影響は受けにくくなる。平均値とは入力信号の平均値をとることである。

なお、本実施例では中間値を求める両側の範囲を第2図に示すように5画素としたが、これは説明をわかりやすくするための例であり、遅延メモリ群の構成により各種のパターンが可能であり、また近傍の両側であれば何画素としてもよい、このことは平均値を求める場合も同様である。

(発明の効果)

本発明は上記実施例より明らかなように、フレームメモリおよび減算器により画像信号の差分をとり、その絶対値を両側の1画素の動き量とし、遅延メモリ群により中心画素および中心画素近傍の両側の動き量の中間値または平均値を動きレベル判定信号としているため、スパイク状のノイズ等が画像信号に混入した場合でも正しく動きレベルを判定できるという効果を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例の動きレベル判定回路の構成図、第2図は本発明の一実施例における両側の画面上の位置関係を示した図、第3図は従来の動きレベル判定回路の構成図である。

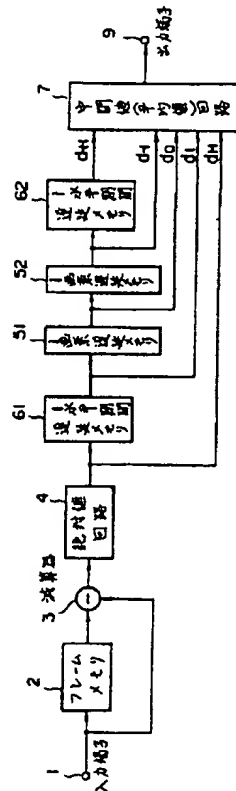
- 1 … 入力端子、 2 … フレームメモリ、  
3 … 減算器、 4 … 絶対値回路、  
7 … 中間値または平均値回路、 9 …  
出力端子、 51、52 … 1画素遅延メモリ、  
61、62 … 1水平期間遅延メモリ。

特許出願人 松下電器産業株式会社

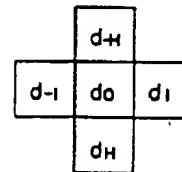
代理人 星 野 恒



第 1 図



第 2 図



第 3 図

